



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10012625 A**(43) Date of publication of application: **16.01.98**

(51) Int. Cl.

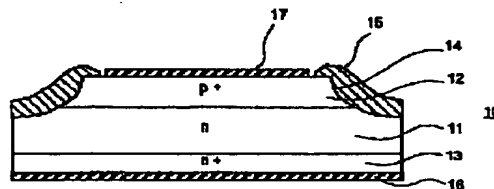
H01L 21/324**H01L 29/744****H01L 29/74****H01L 29/78****H01L 21/336****H01L 29/786****H01L 29/861**(21) Application number: **08161422**(22) Date of filing: **21.06.96**(71) Applicant: **HITACHI LTD**(72) Inventor: **OIKAWA SABURO
MOCHIZUKI YASUHIRO
MURAKAMI SUSUMU****(54) MANUFACTURE OF SEMICONDUCTOR DEVICE****(57) Abstract:**

PROBLEM TO BE SOLVED: To prevent the characteristics of a semiconductor device from becoming defective due to an excessive amount of hydrogen by making the best use of the advantage of hydrogenating heat treatment in the manufacturing process of an element using single-crystal or polycrystalline silicon having a high resistivity by again heat-treating the semiconductor device in an atmosphere containing no hydrogen nor oxygen after the device is heat-treated in an atmosphere containing hydrogen, etc.

SOLUTION: A p-n junction is formed in a semiconductor substrate 10 and the part of the end section of the substrate 10 where the p-n junction is exposed is coated with a film 15 composed mainly of a silicon oxide. A semiconductor device constituted in such a way is again heat-treated in an atmosphere containing no hydrogen nor oxygen after the device is heat-treated in an atmosphere containing hydrogen or in hydrogen plasma. For example, after paste-like lead glass 15 is applied to the mesa-type groove sections 14 of an intermediate- or small-capacity power diode pellet and the glass 15 is baked in an oxygen gas flow, a cathode 16 and an anode 17 are formed. Thereafter, the semiconductor device is subject to hydrogenating heat treatment for 20 minutes

at 410°C in a hydrogen gas flow, and then, the excessive amount of hydrogen is removed by heat-treating the device for 20 minutes at 410°C after the atmosphere is changed to a nitrogen gas flow.

COPYRIGHT: (C)1998,JPO



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平10-12625

(43)公開日 平成10年(1998)1月16日

(51)Int.Cl. ⁸	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/324			H 0 1 L 21/324	Z
				P
29/744			29/74	C
29/74				Q
29/78			29/78	3 0 1 Y
審査請求 未請求 請求項の数5 OL (全 5 頁) 最終頁に続く				

(21)出願番号 特願平8-161422

(22)出願日 平成8年(1996)6月21日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 及川 三郎

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 望月 康弘

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 村上 進

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74)代理人 弁理士 小川 勝男

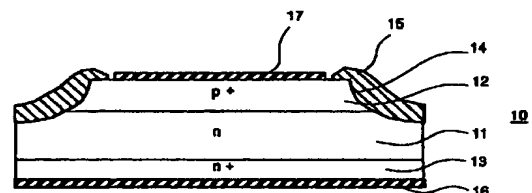
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 p n接合またはMOS構造を形成したシリコン半導体を水素を含む雰囲気中または水素プラズマ中で熱処理することにより、耐圧歩留まりの低下、スレッショールド電圧の変動の副作用がある。

【解決手段】 水素化熱処理の後、水素及び酸素を含まない雰囲気中で再び熱処理することにより結晶中の過剰水素を排除する。

図 1



【特許請求の範囲】

【請求項1】半導体基板に、pn接合を形成しそのpn接合が上記半導体基板の端部に露出する部分をシリコン酸化物を主成分とする膜で被覆した半導体装置において、水素を含む雰囲気中または水素プラズマ中で熱処理した後、水素及び酸素を含まない雰囲気中で再び熱処理することを特徴とする半導体装置の製造方法。

【請求項2】半導体基板上に、半導体—シリコン酸化物を主成分とする膜—金属膜の三層構造を形成した半導体装置において、水素を含む雰囲気中または水素プラズマ中で熱処理した後、水素及び酸素を含まない雰囲気中で再び熱処理することを特徴とする半導体装置の製造方法。

【請求項3】半導体基板に、pn接合を形成しそのpn接合が基板の端部に露出する部分をシリコン酸化物を主成分とする膜で被覆し、更に金属膜の電極を形成した半導体装置において、水素を含む雰囲気中または水素プラズマ中で熱処理してシリコン—シリコン酸化膜界面の結合欠陥をターミネーションし、半導体基板中の有害金属不純物を不活性化させた後、水素及び酸素を含まない雰囲気中で再熱処理して半導体基板中に拡散した過剰の水素を外向拡散させて排除することを特徴とする半導体装置の製造方法。

【請求項4】半導体基板に、半導体—シリコン酸化物を主成分とする膜—金属膜の三層構造を形成した半導体装置において、水素を含む雰囲気中または水素プラズマ中で熱処理してシリコン—シリコン酸化物を主成分とする膜界面の結合欠陥をターミネーションし、半導体基板中の有害金属不純物を不活性化させた後、水素及び酸素を含まない雰囲気中で再熱処理して半導体基板中に拡散した過剰の水素を外向拡散させて排除することを特徴とする半導体装置の製造方法。

【請求項5】請求項1、2、3または4において、上記半導体基板はシリコン単結晶または多結晶よりなる半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関する。

【0002】

【従来の技術】単結晶、多結晶及び非晶質材料の半導体基板にpn接合やMOS構造、金属—半導体接合構造等を形成した半導体装置の特性安定化プロセスとして、水素雰囲気中や水素プラズマ中で、あるいは水素イオン打ち込みしてから、熱処理すること（以下、水素化熱処理と記す）により、結晶結合の欠陥・不完全性（ダングリングボンド等）や有害金属不純物を不活性化する方法が広く用いられている。

【0003】この種の方法として関連するものには、例えば、特開昭64-82536号、特開平7-38110号、特開平7

—94565号公報が挙げられる。

【0004】

【発明が解決しようとする課題】上記の結晶結合の欠陥・不完全性のターミネーションや有害金属不純物を不活性化する作用は、原子状水素や水素イオン・プラズマ等の活性種が寄与していることが知られている。

【0005】一方、過剰な活性種や分子状水素が半導体結晶中に拡散するとアクセプタ（ボロン、アルミニウム、ガリウム等）の活性が低下することがある。これは、結晶中の水素がアクセプタを不活性化させたためか、水素がドナー化して見掛け上アクセプタが減少したためかは不明である。この現象は、結晶中の特にアクセプタ濃度の制御精度が低下し、pn接合の耐圧低下、MOS構造のシュレッシュホールド電圧の変動を引き起こす原因となっていることが判った。この現象は高抵抗率のシリコン単結晶や多結晶を用いた素子に多く見られ、アモルファスシリコン膜を用いた素子では顕著ではない。

【0006】本発明の目的は、高抵抗率のシリコン単結晶や多結晶を用いた素子の製造プロセスにおける上述の水素化熱処理の利点を活かし、過剰な水素による特性不良（劣化）の発生を防止した半導体装置の製造方法を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明はpn接合やMOS構造等が形成された半導体基板を水素化熱処理して結晶結合の欠陥・不完全性や有害金属不純物を不活性化させ、その後、結晶中の過剰な水素を外向拡散させて結晶から排除する。シリコン中の過剰（非結合）水素は200℃の低温熱処理でも拡散し結晶から抜ける。しかし、この時、酸素が介在すると、界面で水素と酸素ガスが反応しシラノール基（—OH）を作り（ $H_2 + O_2 \rightarrow 2-OH$ ）、そのシラノール基はシリコンと反応してシリコン酸化膜を形成し水素を遊離する（ $Si + 2-OH \rightarrow SiO_2 + H_2$ ）。この水素が結晶中に拡散してしまい、結晶中の過剰水素の外向拡散を妨げることになる。このため、過剰水素の外向拡散は、水素はもちろんのこと酸素もない雰囲気中、例えば窒素やアルゴン等の気流中や真空中で熱処理することが必要となる。

【0008】

【発明の実施の形態】以下、本発明を実施例により詳細に説明する。

【0009】（実施例1）中小容量パワーダイオード図1はガラスパッシベーションダイオードペレットの断面図である。

【0010】製法CZ（チョコラルスキー法）、結晶方位（111）、導電型n型、抵抗率35～45Ω-cmのシリコン単結晶半導体基板10の一面から高濃度のボロンを、他の主表面から高濃度のリンを拡散させ、p

+層12, n層11, n⁺層13の三層構造を形成した。

【0011】一主表面側から所定の領域にpn接合が露出するようにエッチングしてメサ型の溝14を形成した。

【0012】このメサ型溝14部にペースト状の鉛系ガラス15(主成分: PbO, SiO₂, Al₂O₃)スクリーン印刷法により厚み約50μm塗布し、その後、酸素気流中で800~840℃, 40分間焼成した。

【0013】カソード電極16は、基板全面にクロム-ニッケル-銀の三層蒸着膜を形成した。アノード電極パターン17は、クロム-ニッケル-銀の三層蒸着膜をリフトオフ法により形成した。475℃, 窒素気流中の加熱処理することにより、ホトレジストを熱分解させたりフトオフとシリコンと電極金属のシンタリングを実施した。

【0014】その後、本発明による水素化熱処理と過剰水素の排除を実施した。水素化熱処理は水素気流中で410℃, 20分であり、過剰水素の排除は雰囲気を窒素-気流中に変更して410℃, 20分である。

【0015】この結果、ダイオードのリーク電流は、水素化熱処理なしの場合は60~500nAと大きくかつばらつきも大であるが、水素化熱処理により20nA以下と大幅に低減できた。また、水素化熱処理したダイオードおよび更に過剰水素の排除したダイオードの高温逆バイアス試験(DC600V, 接合温度125℃, 時間1000h)では、リーク電流はいずれも初期値の50%増以内にとどまり、高信頼性が実証できた。また、過剰水素の排除したダイオードの耐圧800V以上の歩留まりは85%, 600V以上の歩留まりは95%が得られ、水素化熱処理したままで過剰水素を排除していないダイオードに比べて約5~10%の歩留まり向上ができた。

【0016】水素化熱処理したままのダイオードの耐圧歩留まりが低下した原因は、残留水素のドナー化により、n層11の抵抗率の低下およびp層12の低濃度領域の抵抗率の上昇が考えられる。

【0017】水素化熱処理および過剰水素の排除の工程を、電極のリフトオフやシンタリングの工程の前に実施すると、水素化の効果を充分発揮させるためには水素化熱処理の時間を5倍以上必要とする。これは、特開昭64-82535号公報に記されているように電極金属が存在すると、金属およびその自然酸化膜の触媒作用により、雰囲気の水素ガスが活性種に変換(分解)されやすくなる効果のためと推定される。

【0018】なお、最終の熱処理においては、シリコン結晶10中に拡散導入された酸素のドナー化による抵抗率の変動を防止するため、酸素がドナー化しやすい450℃付近の熱処理は好ましくない。

【0019】(実施例2) 大容量ゲートターンオフサイ

リスタ(GTO)

図2は耐圧6kV, 最大遮断電流6kAの大容量ゲートターンオフサイリスタ(GTO)ペレットの単位ユニットの断面図である。

【0020】製法FZ(フローティングゾーン法), 結晶方位(111), 導電型n型, 抵抗率320~350Ω-cm, 厚み1.00mmのシリコン単結晶半導体基板20を用い、通常の拡散・酸化、ホトリソグラフィとエッチング、CVD、電極蒸着等のプロセスにより、pエミッタ層21, nベース層22, pベース層23, nエミッタ層24, ゲート-カソード接合のパッシベーション膜25(熱酸化膜(SiO₂; 厚み1.0μm), CVD-PSG(フォスフォシリケートガラス; リン濃度6~8%, 厚み0.27μm), CVD-SiO₂(厚み0.35μm)から成る三層膜), アノード電極26, カソード電極27, ゲート電極28(電極はいずれも厚み11~14μmのAl膜であり、540℃, 40分, 窒素気流中でシンタリングした。)を形成したものである。

【0021】ここで本発明による水素化熱処理と過剰水素の排除処理を実施する。まず始めに、基板温度400, 500, 560℃の3水準, 水素気流中で30分間熱処理した。次に、基板温度が560~400℃から約250℃に降下中、雰囲気を窒素気流としてシリコン結晶中に拡散した過剰水素を外向拡散させて除去した。

【0022】この結果、基板温度400~560℃の範囲ではいずれも、上記GTOのリーク電流I_r=50μA(試験印加電圧6600V), オフゲイン(ゲート電圧20V) G=5であり、水素化熱処理なしの場合のそれぞれI_r=100~1000μA, G=2~3を著しく改善できた。なお、過剰水素の除去熱処理の効果は、次の2点が挙げられる。(1) 過剰水素に起因するpベース層23のインピーダンス増加を防止できゲートターンオフ性能を向上できることにあり、過剰水素の除去熱処理なしの場合は、G=5を得るにはゲート電圧に22~23Vの印加が必要となる。(2) 耐圧歩留まりが向上できた。これは、実施例1の場合と同様、残留水素のドナー化によるnベース層22の抵抗率の低下が防止できたためと考えられる。

【0023】また、電極としてのAl膜のシンタリングの工程を水素雰囲気とし、その後、結晶中の過剰水素の排除の熱処理を加えることでも、同様の効果が得られた。

【0024】更に、実施例1の場合と同様に最終の熱処理においては、シリコン結晶のnベース層22中に拡散導入された酸素のドナー化による抵抗率の変動(アノード-カソード間の耐圧低下の原因)を防止するため、酸素がドナー化しやすい450℃付近の熱処理は好ましくない。

【0025】(実施例3) 多結晶シリコン膜の薄膜トランジスタ(TFT)

図3は薄膜トランジスタ(TFT)駆動の液晶ディスプレイに用いられている画素用の一つの薄膜トランジスタ(コープレーナ型)の断面図である。

【0026】高耐熱性ガラス基板30上に薄膜トランジスタの能動領域となる厚み80nmのシリコン膜31を堆積する。減圧CVD法によりシランガスを原料とし、基板温度550℃である。この状態では、膜はアモルファスである。

【0027】基板を窒素気流中で600℃、20時間アニールまたは、ヘリウム雰囲気中でXeClエキシマレーザ(照射エネルギー300mJ/cm²)を照射してシリコン膜の結晶化を促進させて多結晶膜とし、その後ホトリソグラフィとドライエッチングにより所定のパターンに加工する。

【0028】基板上にゲート絶縁膜としてのシリコン酸化膜(膜厚120nm)32、およびゲート電極配線としてのシリコン膜(膜厚200nm)33を順次CVD法により堆積させ、その後ホトリソグラフィとドライエッチングにより所定のパターンに加工する。

【0029】その後セルフアライン方式によるリンのイオン打ち込みとアニールにより、シリコン膜の一部にソース領域およびドレイン領域を形成する。

【0030】ゲート電極配線としてのシリコン膜はセルフアライン法でシリサイド層化させる。

【0031】層間絶縁膜としてCVD法のシリコン膜34を堆積後、ドレイン電極は透明導電体のITO膜(インジウム・スズの酸化物)(厚み100nm)35のソース電極配線はアルミニウム膜(厚み600nm)36のパターンを、それぞれ順次スパッタ、ホトリソグラフィ、エッチングにより形成する。

【0032】ここで水素化熱処理を実施する。まず始めに、基板温度400℃、水素窒素1:1混合気流中で15分間水素化処理した。次に、基板温度300℃、水素圧力100Pa、出力1W/cm²のRFプラズマ中で1

時間水素化熱処理した。更にRFプラズマ処理に引き続いて、同一チャンバ内を真空排気して基板温度300℃、15分間、シリコン膜中に拡散した過剰水素を外向拡散させて除去した。

【0033】この結果、薄膜トランジスタ(ゲート長25μm、ゲート幅5μm)のリーク電流は5pA(ゲート電圧-10V)、オン・オフ比(ゲート電圧20V/0V)は3×10⁵であり、水素化熱処理および過剰水素の除去熱処理なしの場合のそれぞれ、30pA、10⁴を著しく改善できた。また、スレッシュホールド電圧の変動(ΔV_{th})(ゲート電圧±20V、ドレイン電圧0V)は0.2V以下であり、過剰水素の除去熱処理なしの場合に比べて1/3以下に低減できた。

【0034】

【発明の効果】本発明の製造方法によれば、pn接合およびMOS構造いずれの半導体装置において、水素化熱処理と結晶中の過剰水素の排除により逆方向漏洩電流の低減、ライフタイムの向上、電流増幅率の向上等の半導体装置の電気的特性を改善させるとともに副作用である耐圧歩留まりの低下、スレッシュホールド電圧の変動を防止でき、信頼性の確保ができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のガラスパッシベーションダイオードペレットの断面図。

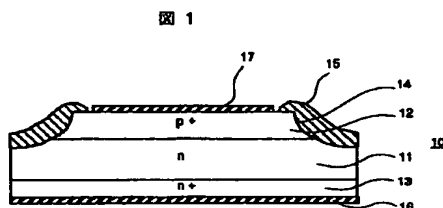
【図2】本発明の第2の実施例の大容量ゲートターンオフサイリスタ(GTO)ペレットの単位ユニットの断面図。

【図3】本発明の第3の実施例の液晶ディスプレイに用いられている薄膜トランジスタ(TFT)パネルの画素用の一素子の断面図。

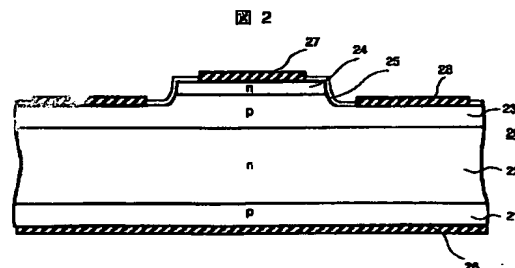
【符号の説明】

10…シリコン単結晶半導体基板、11…n層、12…p⁺層、13…n⁺層、15…パッシベーション用ガラス、16、17…電極。

【図1】

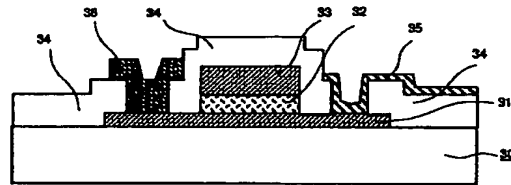


【図2】



【図3】

図 3



フロントページの続き

(51)Int.Cl.⁶

H01L 21/336
29/786
29/861

識別記号

庁内整理番号

FI

H01L 29/78
29/91

技術表示箇所

627E
Z

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.